



GRUPO-GDS

GRUPO DE ESTUDO DE DESEMPENHO DE SISTEMAS ELÉTRICOS - GDS

SISTEMA DE SINCRONIZAÇÃO TRIFÁSICO COM ALTA REJEIÇÃO A SUB E INTER-HARMÔNICOS

Francisco Kleber de A. Lima*
UNIVERSIDADE FEDERAL DO
CEARÁ

Renato Guerreiro Araújo
UNIVERSIDADE FEDERAL DO
CEARÁ

Carlos Gustavo C. Branco
UNIVERSIDADE FEDERAL DO
CEARÁ

RESUMO

Este artigo apresenta um novo algoritmo de sincronização PLL (Phase-Locked Loop) para aplicações em sistemas de controle de conversores de potência pertencentes a redes trifásicas. A estrutura apresentada tem como base a correlação do sinal de entrada com um sinal complexo gerado a partir de um filtro adaptativo, aumentando o nível de rejeição a inter-harmônicos e sub-harmônicos. O sistema de sincronização proposto é avaliado neste trabalho por meio de análises matemáticas e simulações computacionais realizadas através do software PSCAD/EMTDC, além disso, resultados experimentais foram obtidos através de um protótipo experimental montado em bancada. Uma validação comparativa entre o PLL proposto neste trabalho, e o sistema de sincronização DSOGI-FLL foi realizada tanto em regime permanente quanto em regime transitório.

PALAVRAS-CHAVE

Phase-Locked Loop, Sincronização, Inter-harmônicos, Sub-harmônicos, Conversores estáticos.

1.0 - INTRODUÇÃO

Em aplicações relacionadas com conversores de potência, o método de sincronização representa um elemento chave no desempenho da estratégia de controle destes equipamentos. Informações relativas aos valores da fase, da frequência e da amplitude da componente fundamental do sinal de entrada são importantes para determinar as grandezas utilizadas no sistema de controle. Quando o sinal de entrada se caracteriza como uma senóide pura, um detector de passagem por zero realiza esta tarefa de forma satisfatória. Contudo, diante da existência de distúrbios no sinal de entrada, esta metodologia de detecção e outros métodos procedentes deste, não proporcionam, em geral, resultados satisfatórios [1-2].

Diferentes algoritmos foram apresentados no sentido de detectar o ângulo de fase, a frequência e a magnitude da componente fundamental da tensão de entrada [3-7]. Porém, estes algoritmos não apresentam um bom desempenho quando esta forma de onda apresenta distorções devido à presença de harmônicos. Além disto, como a detecção ocorre a cada meio ciclo do sinal de entrada, a resposta dinâmica é lenta [8]. Os valores estimados com os algoritmos indicam que, diante de sinais fortemente distorcidos, as relações entre precisão e velocidade mostram resultados restritivos. Assim é necessário reajustar os parâmetros destes métodos, obtendo, com isso, uma resposta mais lenta, caso contrário, a saída estimada seria afetada acentuadamente. Além destes fatos, a presença (em particular) de sub e inter harmônicos em sistemas elétricos causam oscilações sub síncronas em sistemas mecânicos, *flickers*, sobreaquecimento, redução da vida útil e mau funcionamento de equipamentos. A presença destes dois distúrbios em sistemas de sincronização causa a redução da precisão do método. À medida que a magnitude do sub-harmônico e inter-harmônico cresce há o aumento do erro relacionado aos valores estimados pelo PLL. Estudos observam que o erro relacionado aos valores estimados cresce com o aumento destes dois distúrbios [9-11].

(*) Endereço Rua Humberto Monte, S/N, Campus do Pici – Bloco 705 – CEP 60.455-760 Fortaleza, CE – Brasil
Tel: (+55 85) 98156-2535 – Email: klima@dee.ufc.br

Diante do exposto, esse artigo dedica-se a apresentar um algoritmo PLL para sistemas trifásicos, que apresentam elevada capacidade de rejeição a inter-harmônicos e sub-harmônicos. Os algoritmos propostos baseiam-se em filtro adaptativo que proporciona uma melhoria na rejeição a distúrbios.

O sistema de sincronização proposto é avaliado neste trabalho por meio de análises matemáticas e simulações computacionais realizadas através do software PSCAD/EMTDC, além de comparações (em regime transitório e em regime permanente) entre o algoritmo proposto e o sistema de sincronização baseado no DSOGI-FLL. Por fim, serão apresentados resultados experimentais obtidos através de plataforma HIL (Hardware-in-the-Loop), os quais serão comparados aos obtidos em simulação visando validar o estudo proposto.

Além de apresentar imunidade a presença de harmônicos, o algoritmo proposto apresenta uma resposta dinâmica adequada para aplicação em sistemas onde se presa o grau de exatidão do sistema de sincronização quando o sinal de entrada possui sub e inter-harmônicos. Nesse contexto, o algoritmo possibilita uma detecção precisa e rápida mesmo diante de elevados níveis de distorção, além de serem mais precisos quando comparados ao DSOGI-FLL.

2.0 - ALGORITMO DO PLL COM IMUNIDADE A DISTORÇÕES HARMÔNICAS

A estrutura do PLL trifásico proposto em [12] possibilita estimar a frequência \hat{f}_1 , o ângulo de sincronismo de sequência positiva $\hat{\theta}_1(t)$ e a componente fundamental de sequência positiva do sinal de entrada.

Adotando-se o conjunto de sinais de entrada $u_{3\phi}(t)$:

$$u_{3\phi}(t) = \begin{bmatrix} u_a \\ u_b \\ u_c \end{bmatrix} = \begin{bmatrix} A \sin(2\pi f_1 t + \phi_1) \\ A \sin(2\pi f_1 t + \phi_1 - 2\pi/3) \\ A \sin(2\pi f_1 t + \phi_1 - 4\pi/3) \end{bmatrix} \quad (1)$$

Tem-se que os mesmos podem ser representados em coordenadas $\alpha\beta$ por:

$$u_{\alpha\beta}(t) = \begin{bmatrix} u_\alpha \\ u_\beta \end{bmatrix} = \begin{bmatrix} A \sin(2\pi f_1 t + \phi_1) \\ A \sin(2\pi f_1 t + \phi_1 - \pi/2) \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} u_a \\ u_b \\ u_c \end{bmatrix} \quad (2)$$

A correta estimação da frequência deste conjunto de sinais, possibilita a obtenção de um subespaço complexo o qual pode ser representado pelas exponenciais em coordenadas $\alpha\beta$, respectivamente, por:

$$\begin{cases} e^{-j(2\pi \hat{f}_1 t)} \\ e^{-j(2\pi \hat{f}_1 t - \pi/2)} \end{cases} \quad (3)$$

Utilizando a modelagem do sistema em coordenadas $\alpha\beta$, tem-se que o produto interno $g_{\alpha\beta}(t)$ pode ser calculado a partir de (2) e (3). O produto interno $g_{\alpha\beta}(t)$ é composto por uma parcela na coordenada α e outra na coordenada β . Este produto é representado por:

$$g_{\alpha\beta}(t) = \begin{bmatrix} g_\alpha(t) \\ g_\beta(t) \end{bmatrix} = \begin{bmatrix} \int u_\alpha(t) e^{-j(2\pi \hat{f}_1 t)} \\ \int u_\beta(t) e^{-j(2\pi \hat{f}_1 t - \pi/2)} \end{bmatrix} = \begin{bmatrix} \text{Re}\{g_\alpha(t)\} + \text{Im}\{g_\alpha(t)\} \\ \text{Re}\{g_\beta(t)\} + \text{Im}\{g_\beta(t)\} \end{bmatrix} \quad (4)$$

Cada produto interno gera um sinal real e outro imaginário, a partir dos quais pode-se calcular o sinal real e imaginário equivalente do sinal de entrada. Calculando-se esse produto interno, tem-se que as partes reais e imaginárias equivalentes são:

$$\begin{bmatrix} \text{Re}\{g_{\alpha\beta}(t)\} \\ \text{Im}\{g_{\alpha\beta}(t)\} \end{bmatrix} = \begin{bmatrix} \text{Re}\{g_\alpha(t)\} + \text{Re}\{g_\beta(t)\} \\ \text{Im}\{g_\alpha(t)\} + \text{Im}\{g_\beta(t)\} \end{bmatrix} \quad (5)$$

Utilizando os sinais real $\text{Re}\{g_{\alpha\beta}(t)\}$ e imaginário $\text{Im}\{g_{\alpha\beta}(t)\}$ resultantes de (5), determina-se o ângulo de sincronismo da componente de sequência positiva do sinal de entrada.

$$\hat{\theta}_1^+ = \tan^{-1} \left(\frac{\text{Im}\{g_{\alpha\beta}(t)\}}{\text{Re}\{g_{\alpha\beta}(t)\}} \right) = (2\pi \hat{f}_1 t + \hat{\phi}_1) \quad (6)$$

A partir da informação do ângulo de sincronismo $\hat{\theta}_1$, é obtida a frequência angular $\hat{\omega}_1$ derivando-se $\hat{\theta}_1$. A frequência angular $\hat{\omega}_1$ é a entrada da malha interna que realiza o cálculo da frequência fundamental em Hz do sinal de entrada. A malha interna que realiza o cálculo da frequência está ilustrada na Figura 1.

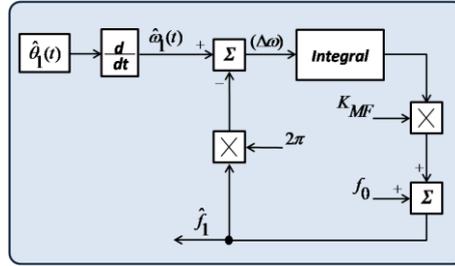


FIGURA 1 – Malha interna de estimação de frequência.

Adotando f_0 como uma estimativa inicial da frequência em Hz, a frequência estimada \hat{f}_1 em qualquer instante de tempo será:

$$\hat{f}_1(t) = \int \left(\frac{1}{2\pi} \frac{d}{dt} \hat{\theta}_1(t) - \hat{f}_1 \right) dt + f_0 \quad (7)$$

Analisando o diagrama de blocos exposto na Figura 1 no domínio da frequência, tem-se que a malha interna de estimação da frequência realiza ainda o papel de um filtro passa baixa com a função de transferência dada por (8) e representada pelo diagrama de blocos da Figura 2. Ressalta-se que a saída da integral de $\Delta\omega$ em rad/s é multiplicada por um ganho em 1/rad, resultando na adequação da unidade da frequência estimada \hat{f}_1 em Hz.

$$\frac{\hat{f}_1(s)}{\hat{\omega}_1(s)} = \frac{K_{MF}}{s + 2\pi K_{MF}} \quad (8)$$

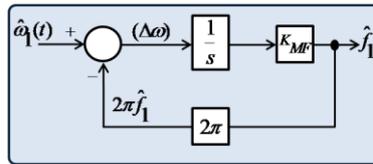


FIGURA 2 – Diagrama de blocos da malha interna de estimação de frequência.

3.0 - ALGORITMO DO PLL OTIMIZADO

Fazendo modificações na estrutura proposta por [12], considerou-se somente o processo de cálculo da parte real $\text{Re}\{g_{\alpha\beta}(t)\}$ do produto interno $g_{\alpha\beta}(t)$ dado pela expressão (5). A parte imaginária $\text{Im}\{g_{\alpha\beta}(t)\}$, é estimada por meio de um filtro adaptativo em que a entrada é o sinal $\text{Re}\{g_{\alpha\beta}(t)\}$. Sendo assim, têm-se a obtenção de dois sinais ortogonais $\text{Re}\{g_{\alpha\beta}(t)\}_f$ e $\text{Im}\{g_{\alpha\beta}(t)\}_f$, a partir da entrada $\text{Re}\{g_{\alpha\beta}(t)\}$. Isso faz com que o número de operações matemáticas seja reduzido e que haja um aumento na rejeição a harmônicos. O restante do algoritmo é o mesmo do algoritmo original. A Figura 3 ilustra o diagrama de blocos do PLL considerando a inserção do filtro adaptativo.

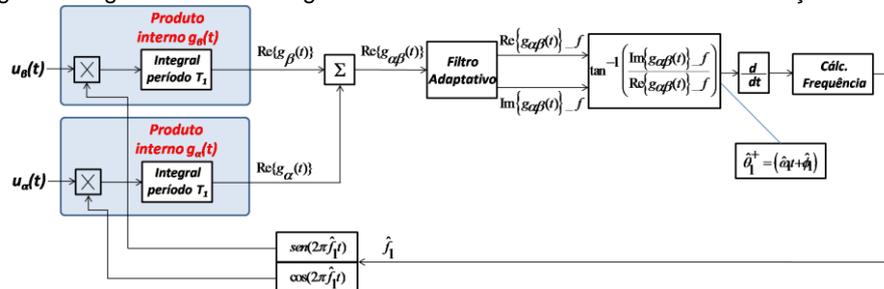


FIGURA 3 – Estrutura do PLL trifásico otimizado.

Um filtro adaptativo foi obtido a partir de um modelo para sistemas trifásicos analisado em [13]. A versão original do filtro adaptativo citado pode ser representada pelas seguintes expressões:

$$\begin{cases} \hat{x}_\alpha(s) = \frac{1}{s} [K_{MF}(x_\alpha(s) - \hat{x}_\alpha(s)) - \hat{\omega}_1 \hat{x}_\beta(s)] \\ \hat{x}_\beta(s) = \frac{1}{s} [K_{MF}(x_\beta(s) - \hat{x}_\beta(s)) + \hat{\omega}_1 \hat{x}_\alpha(s)] \end{cases} \quad (9)$$

O modelo modificado, proposto para aplicação neste trabalho, apresenta a seguinte expressão resultante:

$$\begin{cases} \hat{x}_\alpha(s) = \frac{1}{s} [K_{MF}(x_\alpha(s) - \hat{x}_\alpha(s)) - \hat{\omega}_1 \hat{x}_\beta(s)] \\ \hat{x}_\beta(s) = \frac{1}{s} [-\hat{x}_\beta(s) + \hat{\omega}_1 \hat{x}_\alpha(s)] \end{cases} \quad (10)$$

Com isso, o filtro adaptativo apresenta as seguintes funções de transferência resultantes:

$$\frac{\hat{x}_\alpha(s)}{x_\alpha(s)} = \frac{K_{MF}(s+1)}{s^2 + s(K_{MF}+1) + K_{MF} + \hat{\omega}_1^2} \quad (11)$$

$$\frac{\hat{x}_\beta(s)}{x_\alpha(s)} = \frac{K_{MF} \hat{\omega}_1}{s^2 + s(K_{MF}+1) + K_{MF} + \hat{\omega}_1^2} \quad (12)$$

Com a utilização do filtro adaptativo, os sinais real e imaginário estarão menos afetados pelos distúrbios em relação sinal de entrada $\text{Re}\{g(t)\}$.

4.0 - RESULTADOS EXPERIMENTAIS

A seguir são apresentados os resultados experimentais implementados na plataforma HIL (Hardware-in-the-Loop) DSPACE 1103. A Figura 11 apresentam o sinal de entrada, ângulo de sincronismo e o sinal estimado para um sinal de entrada composto pela componente fundamental e 10% de sub-harmônico em 30 Hz e 10% de sub-harmônico em 35 Hz. A Figura 12 apresentam o sinal de entrada, ângulo de sincronismo e o sinal estimado para um sinal de entrada composto pela componente fundamental e 20% de inter-harmônico em 222 Hz e 20% de inter-harmônico em 312 Hz.

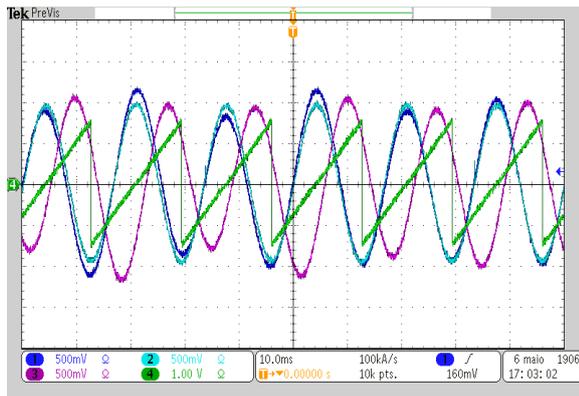


FIGURA 11 - Sinal de entrada, sinal estimado e ângulo de sincronismo.

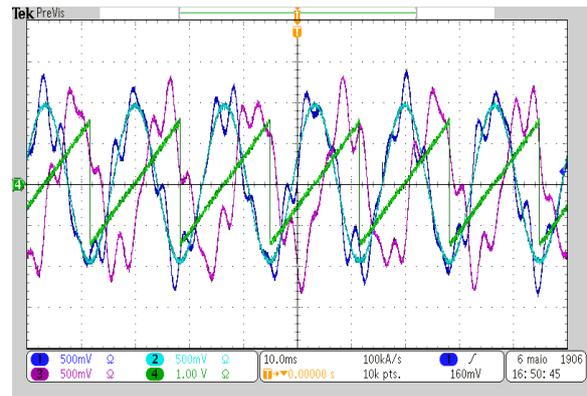


FIGURA 12 - Sinal de entrada, sinal estimado e ângulo de sincronismo.

Após o estudo em regime permanente, é analisada a resposta dinâmica do algoritmo. Os sinais de entrada foram os mesmos considerados anteriormente. Em ambos os casos no instante de tempo t , a amplitude da componente fundamental muda de 1,0 p.u. para 0,8 p.u., o ângulo de fase muda de 0° para 30° e a frequência passa de 60 Hz para 62 Hz. A Figura 13 apresenta os valores estimados para sub-harmônico e a Figura 14 apresenta o resultado pra inter-harmônico.

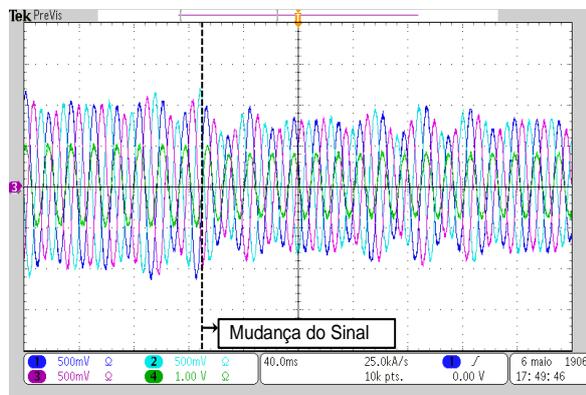


FIGURA 13 - Sinal de entrada e sinal estimado.

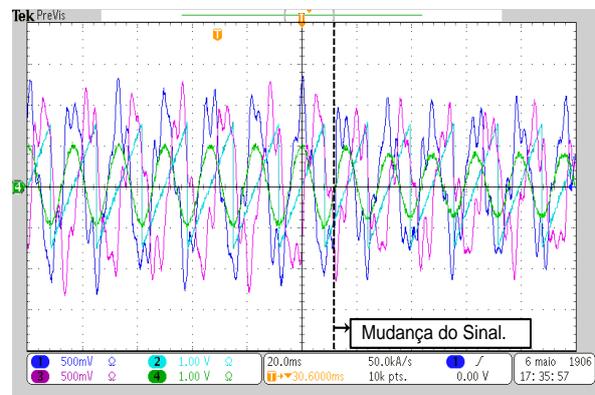


FIGURA 14 - Sinal de entrada, sinal estimado e ângulo de sincronismo.

Dado que o DSOGI-FLL [14-15] é um sistema de sincronização bastante robusto, os autores deste trabalho optaram por uma validação comparativa entre a proposta deste trabalho e um PLL bastante robusto e já consolidado no meio acadêmico como o SOGI-FLL. Assim, as Figuras 15 e 16 mostram esta comparação entre os dois PLLs.

Para o sinal de entrada submetido anteriormente (Figura 13 para sub-harmônicos e Figura 14 para inter-harmônicos) é apresentado o valor rms do erro gerado pelo PLL proposto e pelo DSOGI-FLL, em relação a componente fundamental. A Figura 15 apresenta o erro para sub-harmônicos e a Figura 16 apresenta o erro para inter-harmônicos.

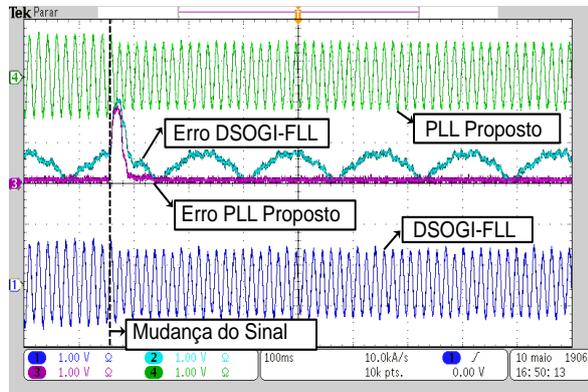


FIGURA 15 – Erro gerado na presença de sub-harmônicos.

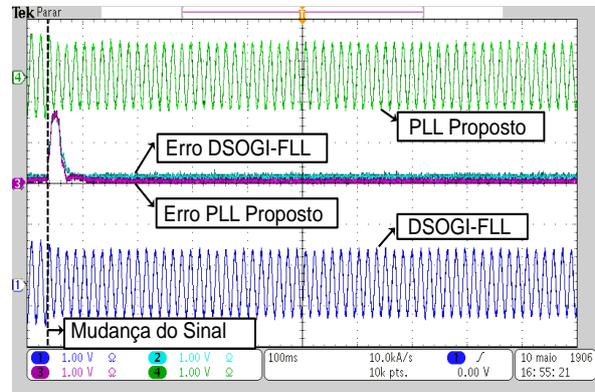


FIGURA 16 – Erro gerado na presença de inter-harmônicos.

5.0 - CONCLUSÃO

Neste trabalho foi apresentado um novo algoritmo de PLL (*Phase-Locked Loop*) o qual pode ser utilizado em sistemas de sincronização trifásicos. Uma das principais características deste PLL é a alta imunidade a sub e inter-harmônicos. A fim de se comprovar a eficácia do algoritmo apresentado, fez-se simulações através do software PSCAD/EMTDC. Foram montadas estruturas do PLL em plataforma HIL (*Hardware-in-the-Loop*). O algoritmo foi submetido a um sinal de entrada com a presença de distorções, como inter-harmônicos e sub-harmônicos. Devido à robustez do modelo proposto, os algoritmos apresentaram boas respostas, as quais não foram afetadas pelo nível de distorção harmônica no sinal de entrada. Em particular, o algoritmo apresentou bons resultados, comprovando a sua capacidade de rejeição a inter harmônicos e sub harmônicos. Nesse contexto, o algoritmo possibilita uma detecção precisa mesmo diante de elevados níveis de distorção.

Os resultados obtidos deixaram claro que este algoritmo é capaz de estimar o ângulo de sincronismo, a frequência e a componente fundamental do sinal de entrada, com isso ele pode ser implementado e utilizado em estratégias de controle de equipamentos baseados em eletrônica de potência.

6.0 - REFERÊNCIAS BIBLIOGRÁFICAS

- (1) Väliviita, S. "Zero-Crossing Detection of Distorted Line Voltages Using 1-b Measurements", IEEE Transactions on Industrial Electronics, vol. 46, no. 5, pp. 917-922, 1999.
- (2) Lee, K.-J., Lee, J.-P., Shin, D., Yoo, D.-W., Kim, H.-J. "A Novel Grid Synchronization PLL Method Based on Adaptive Low-Pass Notch Filter for Grid-Connected PCS", IEEE Transactions on Industrial Electronics, vol. 61, no. 1, pp. 292-301, 2014.
- (3) Ghartemani, M. K., Karime, H., Iravani, M. R. "A Magnitude/Phase-Locked Loop System Based on Estimation of Frequency and In-Phase/Quadrature-Phase Amplitudes", IEEE Transactions on Industrial Electronics, vol. 51, no. 2, pp. 511-517, April, 2004.
- (4) Pádua, M. S., Deckmann, P. M., Lopes, A., Marafão, F. "Metodologia para Identificação do Componente Fundamental da Tensão da Rede Baseada no Algoritmo Recursivo da TDF", Revista Controle & Automação, vol. 18, no. 3, pp. 381-395.
- (5) Silva, S. A. O., Novochadlo, R., Modesto, R. A. "Single-phase PLL Structure Using Modified p-q Theory for Utility Connected Systems", in 39th IEEE Power Electronics Specialists Conference (PESC), 2008, pp. 4706-4711.
- (6) Thacker, T., Wang, R., Dong, D., Burgos, R., Wang, F., Boroyevich, D. "Phase Locked Loop Using State Variable Feedback for Single-Phase Converter Systems", in 24th Annual IEEE Applied Power Electronics Conference and Exposition (APEC), 2009, pp. 864-870.

- (7) Wang, Z., Wang, Y., Wu, S. "Enhanced Single-phase Locked Loop for Grid-Connected Converter in Distribution Network", in IEEE International Conference on Electrical and Control Engineering (ICECE), 2010, pp. 3705-3709.
- (8) Thacker, T., Boroyevich, D., Burgos, R., Wang, F. "Phase-Locked Loop Noise Reduction via Phase Detector Implementation for Single-Phase Systems", IEEE Transactions on Industrial Electronics, vol. 58, no. 6, pp. 2482-2490, 2011.
- (9) Blaabjerg, F., Teodorescu, R., Lissere, M., Timbus, A. V. "Overview of Control and Grid Synchronization for Distributed Power Generation Systems", IEEE Transactions on Industrial Electronics, vol. 53, no. 5, pp. 1398-1409, 2006.
- (10) Testa, A., Akram, M. F., Burch, R., Carpinelli, G., Chang, G., Dinavahi, V., Hatziaadoniu, C., Grady, W. M., Gunther, E., Halpin, M., Lehn, P., Liu, Y., Langella, R., Lowenstein, M., Medina, A., Ortmeyer, T., Ranade, S., Ribeiro, P., Watson, N., Wikston, J., Xu, W. "Interharmonics: Theory and Modeling", IEEE Transactions on Power Delivery, vol. 22, no. 4, pp. 2335-2348, 2007.
- (11) Langella, R., Marino, P., Rubino, L., Testa, A. "On the Effects of Interharmonic Distortion on Static Converters Controlled by Means of PLL Systems", Proceedings of 14th International Conference on Harmonics and Quality of Power - ICHQP 2010, pp.1-6, set. 2010.
- (12) Neto, J. A. M. "Contribuições para o Desenvolvimento do Condicionador Unificado de Energia (UPQC - Unified Power Quality Conditioner).2008. 246 f. Tese (Doutorado em Engenharia Elétrica) - Programa de Pós Graduação em Engenharia, Universidade Federal do Rio de Janeiro, Rio de Janeiro, 2008.
- (13) Benhabib, M. C., Saadate, S. "A New Topology for a Modular Active Power Filter", IEEE International Symposium on Industrial Electronics (ISIE), 2005, pp. 827-832.
- (14) Rodriguez, P., et al. "Advanced grid synchronization system for power converters under unbalanced and distorted operating conditions." IEEE Industrial Electronics, IECON 2006-32nd Annual Conference on. IEEE, 2006.
- (15) Rodriguez, P., et al. "Grid synchronization of power converters using multiple second order generalized integrators." Industrial Electronics, 2008. IECON 2008. 34th Annual Conference of IEEE. IEEE, 2008.

7.0 - DADOS BIOGRÁFICOS



Francisco Kleber de A. Lima, nascido em 03 de novembro de 1968 em Fortaleza é Engenheiro Eletricista (1998) e Mestre em Engenharia Elétrica (2003), pela Universidade Federal do Ceará. Recebeu o título de Doutor em Engenharia Elétrica pela COPPE/Universidade Federal do Rio de Janeiro em 2009. Dr. Kleber Lima é professor do Departamento de Engenharia Elétrica da Universidade Federal do Ceará. Suas áreas de interesse são: Eletrônica de Potência, Qualidade de Energia e Acionamentos de Máquinas Elétricas. Francisco Kleber de A. Lima é membro da SOBRAEP desde 2002.

Renato Guerreiro Araújo, nascido em 16 de maio de 1990 em Maranguape é Engenheiro Eletricista (2013), pela Universidade Federal do Ceará e Mestre em Engenharia Elétrica (2015), pela Universidade Federal do Ceará. Atualmente é Engenheiro Eletricista na Coordenadoria de Obras e Projetos da Universidade Federal do Ceará e professor no Curso de Engenharia Elétrica da DeVry Fanor. Suas áreas de interesse são: Eletrônica de Potência, Qualidade de Energia e Sistemas de Sincronização.

Carlos Gustavo Castelo Branco, possui Graduação em Engenharia Elétrica pela Universidade Federal do Ceará (2002) e mestrado em Engenharia Elétrica pela Universidade Federal do Ceará (2005). Durante o Mestrado trabalhou em Projetos de P&D na área de Fontes Ininterruptas de Energia (UPS) e Conversores de Alta Potência. Desde 2005 trabalha na área de Pesquisa e Desenvolvimento de sistemas UPS Isolados em Alta Frequência, Sistemas de Energia Fotovoltaica e Acionamentos de Máquinas. Atualmente é professor assistente do Departamento de Engenharia Elétrica da Universidade Federal do Ceará. É membro do IEEE e SOBRAEP.